

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004年10月7日 (07.10.2004)

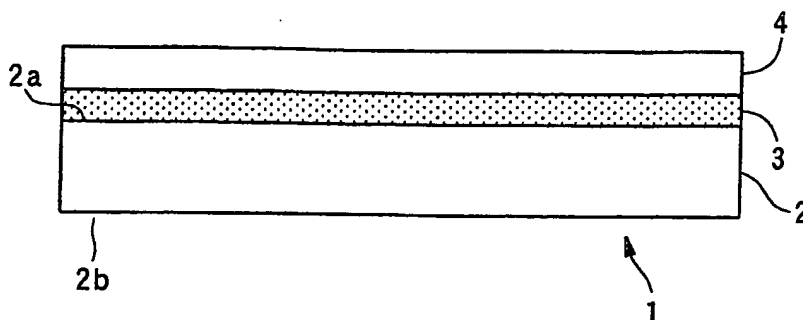
PCT

(10) 国際公開番号
WO 2004/086488 A1

- (51) 国際特許分類: H01L 21/322, 21/20 (74) 代理人: 木村 高久, 外(KIMURA, Takahisa et al.); 〒1040043 東京都中央区湊1丁目8番11号 千代ビル 6階 Tokyo (JP).
- (21) 国際出願番号: PCT/JP2004/004167
- (22) 国際出願日: 2004年3月25日 (25.03.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2003-085089 2003年3月26日 (26.03.2003) JP
- (71) 出願人(米国を除く全ての指定国について): コマツ電子金属株式会社 (KOMATSU DENSHI KINZOKU KABUSHIKI KAISHA) [JP/JP]; 〒2540014 神奈川県平塚市四之宮3丁目25番1号 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 自見 博志 (JIKEN, Hiroshi) [JP/JP]; 〒2540014 神奈川県平塚市四之宮3丁目25番1号 コマツ電子金属株式会社内 Kanagawa (JP). 那須 悠一 (NASU, Yuuichi) [JP/JP]; 〒2540014 神奈川県平塚市四之宮3丁目25番1号 コマツ電子金属株式会社内 Kanagawa (JP). 増田 剛 (MASUDA, Takeshi) [JP/JP]; 〒2540014 神奈川県平塚市四之宮3丁目25番1号 コマツ電子金属株式会社内 Kanagawa (JP).
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告書
- 2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: SEMICONDUCTOR EPITAXIAL WAFER

(54) 発明の名称: 半導体エピタキシャルウェーハ



(57) Abstract: Multiple epitaxial layers are grown on the front side of a p⁺ silicon substrate and no layers are grown on the other side. Among the multiple epitaxial layers the one in contact with the silicon substrate is a first p⁺ epitaxial layer. Since the epitaxial layer is in contact with the p⁺ layer, gettering can be efficiently done also in a low-temperature device manufacturing process, thereby improving the manufacturing yield of an epitaxial wafer. Therefore the manufacturing cost of an epitaxial wafer is reduced.

(57) 要約: P-のシリコン基板の表面側に複数のエピタキシャル層を積層し、裏面側には何ら積層しない。複数のエピタキシャル層のうちシリコン基板と接するエピタキシャル層をP⁺の第1エピタキシャル層にする。このようにエピタキシャル層にP⁺層を近接することによって、低温の素子製造プロセスにおいてもゲッタリングを効率的に行うことができ、エピタキシャルウェーハの製造歩留まりを向上させることができる。したがってエピタキシャルウェーハの製造コストが低減する。

明 細 書

JC14 Rec'd PCT/PTO 23 SEP 2005

半導体エピタキシャルウェーハ

技術分野

本発明は、半導体基板の表面側のみに複数のエピタキシャル層を重層すると共に、半導体基板と接するエピタキシャル層の不純物濃度を高濃度にし、半導体基板の不純物濃度を低濃度にした半導体エピタキシャルウェーハに関する。

背景技術

CPUやDRAM等のメモリーには半導体エピタキシャルウェーハが使用される。半導体エピタキシャルウェーハは、半導体基板の表面側にエピタキシャル層が積層されたエピタキシャルウェーハと、エピタキシャル層がないノンエピタキシャルウェーハとに大別される。

図4はエピタキシャルウェーハの断面図である。エピタキシャルウェーハ40は、最も一般的なP/P⁺（P on P⁺という）エピタキシャルウェーハであり、ボロン等の不純物濃度が高いP⁺（抵抗率にして20/1000（Ω・cm）以下）のシリコン基板41が用いられる。なお、“P^x/P^y”という記載は、P^xの膜又は基板の上に、P^yの膜又は基板を積層することを意味する。シリコン基板41の表面側41aにはシリコン基板41より低濃度にボロンがドーピングされた（抵抗率にして約1（Ω・cm）以上）エピタキシャル層42が積層され、裏面側41bには酸化膜43が積層されている。このような構造には次のような利点がある。

半導体素子やその基板となるウェーハの製造プロセスでは様々な金属が副材料として使用されており、エピタキシャル層42が金属等の不純物によって汚染される場合がある。これらの汚染金属不純物はエピタキシャル層42に形成される各素子の特性を変化、劣化させることがあり素子の信頼性を低下させる。そこでエピタキシャルウェーハ40ではP⁺のシリコン基板41がゲッターリングサイトとして用いられる。ウェーハ外部からエピタキシャルウェーハ40にFeやCu

等の汚染金属が取り込まれた場合、これら汚染金属不純物はボロン濃度の高いシリコン基板 4 1 に優先的に取り込まれるという特性がある。その結果、エピタキシャル層 4 2 の汚染金属不純物の含有量は少なくなる。こうしてエピタキシャル層 4 2 を無欠陥にし、良い特性を維持することができる。

P^+ のシリコン基板 4 1 の表面側 4 1 a にエピタキシャル層を成長させる際の高温度条件の下でシリコン基板 4 1 の裏面側 4 1 b に何ら積層されるものがない場合は、高濃度のボロンがガス状になって放出される。するとガス状のボロンがエピタキシャル層 4 2 に取り込まれるといういわゆるオートドーピングが発生する。オートドーピングが発生するとエピタキシャル層 4 2 の抵抗分布が悪化する。そこでシリコン基板 4 1 の裏面側にはエピタキシャル成長前に酸化膜 4 3 が積層される。この酸化膜 4 3 によってシリコン基板 4 1 からのボロンの放出は抑制される。したがってオートドーピングを防止することができる。

図 4 に示すエピタキシャルウェーハ 4 0 と別の形態のエピタキシャルウェーハが日本国特開平 1 0 - 3 0 3 2 0 7 号公報（以下、文献 1 という）に開示されている。

図 5 は文献 1 のエピタキシャルウェーハの断面図である。エピタキシャルウェーハ 5 0 には不純物濃度が低い P^- （抵抗率にして $1 (\Omega \cdot \text{cm})$ 以上）のシリコン基板 5 1 が用いられている。またシリコン基板 5 1 の裏面側 5 1 b には P^+ の第 1 エピタキシャル層 5 2 が積層され、表面側 5 1 a には第 2 エピタキシャル層 5 3 が積層されている。更に第 1 エピタキシャル層 5 2 にはシリコン膜 5 4 が積層されている。

この構成によれば第 2 エピタキシャル層 5 3 の汚染不純物は第 1 エピタキシャル層 5 2 でゲッタリングされる。

エピタキシャルウェーハ 5 0 の製造工程は、シリコン基板 5 1 の裏面側 5 1 b に第 1 エピタキシャル層 5 2 を成長させた後に、シリコン基板 5 1 の表面側 5 1 a に第 2 エピタキシャル層 5 3 を成長させる。各エピタキシャル層を成長させる際に P^- のシリコン基板 5 1 からはガス状のボロンは放出されないが、第 2 エピタキシャル層 5 3 を成長させる際に P^+ の第 1 エピタキシャル層 5 2 すなわちウ

エーハ自体の裏面側からガス状のボロンが放出される。このためシリコン膜54が設けられ、オートドーピングが抑制されている。

従来のエピタキシャルウェーハは何れもシリコン基板の裏面側に酸化膜やエピタキシャル層等（以下、酸化膜等という）が積層されている。しかしシリコン基板の裏面側に酸化膜等を積層する場合には、

（1）酸化膜を積層する際にシリコン基板が金属汚染される可能性があり、エピタキシャルウェーハの製造歩留まりを低下させる、

（2）酸化膜等の平坦度は低いためウェーハ自体の平坦度が低下し、エピタキシャルウェーハの製造歩留まりを低下させる、

等の問題がある。

更に図5に示すエピタキシャルウェーハ50には次のような問題もある。

技術の進歩と共に素子製造プロセスは低温化してきている。低温化された素子製造プロセスにおいては汚染金属はゲッタリングサイトに拡散できるだけの十分な熱エネルギーを得られない。このためゲッタリングを効率よく行うにはエピタキシャル層とゲッタリングサイトとができる限り近い方が望ましい。ところがエピタキシャルウェーハ50ではゲッタリングサイトにされる第1エピタキシャル層52と第2エピタキシャル層53との間にシリコン基板51が介在している。つまり第2エピタキシャル層53とゲッタリングサイトとが離れているためゲッタリングが効率よく行われない。

本発明はこうした実状に鑑みてなされたものであり、エピタキシャル層にP⁺層を近接することによって、低温の素子製造プロセスにおいてもゲッタリングを効率的に行うと共にエピタキシャルウェーハの製造歩留まりを向上させてエピタキシャルウェーハの製造コストを低減させることを解決課題とするものである。

発明の開示

そこで、第1発明は、

半導体基板にエピタキシャル層を積層した半導体エピタキシャルウェーハにおいて、

前記半導体基板の表面側のみに複数層のエピタキシャル層を重層すると共に、
前記複数層のエピタキシャル層のうち前記半導体基板と接するエピタキシャル層の不純物濃度をゲッターリングサイトが形成される程度の高濃度にし、

前記半導体基板の不純物濃度を裏面側からの不純物の放出が抑制される程度の低濃度にしたこと

を特徴とする。

また第2発明は、

半導体基板にエピタキシャル層を積層した半導体エピタキシャルウェーハにおいて、

前記半導体基板の表面側のみに複数層のエピタキシャル層を重層すると共に、
前記複数層のエピタキシャル層のうち前記半導体基板と接するエピタキシャル層の不純物濃度を $2.77 \times 10^{17} \sim 5.49 \times 10^{19}$ (atoms/cm³) にし、

前記半導体基板の不純物濃度を $1.33 \times 10^{14} \sim 1.46 \times 10^{16}$ (atoms/cm³) にしたこと

を特徴とする。

また第3発明は、

半導体基板にエピタキシャル層を積層した半導体エピタキシャルウェーハにおいて、

前記半導体基板の表面側のみに複数層のエピタキシャル層を重層すると共に、
前記複数層のエピタキシャル層のうち前記半導体基板と接するエピタキシャル層の抵抗率を $0.002 \sim 0.1$ ($\Omega \cdot \text{cm}$) とし、

前記半導体基板の抵抗率を $1 \sim 100$ ($\Omega \cdot \text{cm}$) としたこと

を特徴とする。

第1～第3発明を図1を用いて説明する。

エピタキシャルウェーハ1は、シリコン基板2とシリコン基板2の表面側2aに重層される第1エピタキシャル層3及び第2エピタキシャル層4とで構成される。シリコン基板2の表面側2aは第1エピタキシャル層3と接しており、シリコン基板2の裏面側2bには何ら積層されていない。

シリコン基板はP⁻のシリコンで構成されており、その不純物濃度は $1.33 \times 10^{14} \sim 1.46 \times 10^{16}$ (atoms/cm³) であり、抵抗率は $1 \sim 100$ ($\Omega \cdot \text{cm}$) である。

第1エピタキシャル層3はP⁺のシリコンエピタキシャル層で構成されており、その不純物濃度は $2.77 \times 10^{17} \sim 5.49 \times 10^{19}$ (atoms/cm³) であり、抵抗率は $0.002 \sim 0.1$ ($\Omega \cdot \text{cm}$) である。

本発明によれば、ゲッタリングサイトつまり第1エピタキシャル層3と第2エピタキシャル層4との距離が近いため、ゲッタリングを効率的に行うことができる。またシリコン基板2の不純物濃度が低濃度であるため、エピタキシャル成長の際にガス状の不純物は発生しない。このためシリコン基板2の裏面側2bに酸化膜等を形成する必要がなくなり、酸化膜形成に伴う諸問題（両面研磨、金属汚染、平坦度の低下）は生じない。したがってエピタキシャルウェーハの製造歩留まりを向上させてエピタキシャルウェーハの製造コストを低減させることができる。

また第4発明は、第1～第3発明において、
前記半導体基板と接するエピタキシャル層は、ボロンを含むことを特徴とする。

図面の簡単な説明

図1は本発明に係るエピタキシャルウェーハの断面図である。

図2はエピタキシャル層の積層の手順を示すフローチャートである。

図3はエピタキシャルウェーハにおける不純物濃度のプロファイルを示す図である。

図4は従来のエピタキシャルウェーハの断面図である。

図5は従来のエピタキシャルウェーハの断面図である。

発明を実施するための最良の形態

以下図面を参照して本発明に係る半導体エピタキシャルウェーハの実施形態に

ついて説明する。

図1は本発明に係るエピタキシャルウェーハの断面図である。

エピタキシャルウェーハ1は、シリコン基板2とシリコン基板2の表面側2aに重層される第1エピタキシャル層3及び第2エピタキシャル層4とで構成される。シリコン基板2の表面側2aは第1エピタキシャル層3と接しており、シリコン基板2の裏面側2bには何ら積層されていない。

シリコン基板2は不純物濃度が低いP⁻のシリコン結晶で構成される。ここではシリコン基板2に含有される不純物をボロンとし、その濃度を $1.33 \times 10^{14} \sim 1.46 \times 10^{16}$ (atoms/cm³)としている。又はシリコン基板2の抵抗率を $1 \sim 100$ (Ω・cm)としている。

第1エピタキシャル層3はP⁺のシリコンエピタキシャル層で構成される。ここでは第1エピタキシャル層3に含有される不純物をボロンとし、その濃度を $2.77 \times 10^{17} \sim 3.62 \times 10^{19}$ (atoms/cm³)としている。又は第1エピタキシャル層3の抵抗率を $0.002 \sim 0.1$ (Ω・cm)としている。第1エピタキシャル層3はゲッタリングサイトとして機能する。

第2エピタキシャル層4はP⁻のシリコンエピタキシャル層で構成される。第2エピタキシャル層4には素子製造プロセスで各素子が形成される。

なお第1エピタキシャル層3と第2エピタキシャル層4との間に第1エピタキシャル層3より低濃度又は高抵抗率の他のエピタキシャル層が積層されていてもよい。またシリコン基板2に窒素がドーピングされていてもよい。窒素がドーピングされるとN_iのゲッタリング能力が向上する。窒素のドーピング量は 3×10^{13} (atoms/cm³)以上が好ましい。

次にシリコン基板2にエピタキシャル層3、4を積層する方法について説明する。

図2はエピタキシャル層の積層の手順を示すフローチャートである。

各エピタキシャル層の成長条件についての具体的な一例を表1に示す。

【表 1】

	第1エピタキシャル層	第2エピタキシャル層
膜厚	3(μm)	6(μm)
抵抗率	3/1000($\Omega \cdot \text{cm}$)	10($\Omega \cdot \text{cm}$)
ドーパント種	B ₂ H ₆	B ₂ H ₆
ドーパント濃度	15%	0.01%
H ₂ Bake温度	1200(°C)	1200(°C)
成長温度	1100(°C)	1100(°C)
Growth/Rate	3.62($\mu\text{m}/\text{min}$)	3.66($\mu\text{m}/\text{min}$)
希釈用H ₂ 流量	2(slm)	16(slm)
ドーパントガス流量	450(sccm)	100(sccm)
ミキシングガス流量	200(sccm)	174(sccm)

エピタキシャル層を気相成長させる炉内にシリコン基板を導入する前にこの炉内にモニターウェーハを導入し、表1に示す条件（各種ガスの供給、温度）にて第1エピタキシャル層の膜厚及び抵抗率の条件出しを行う（ステップ21）。表1に示す膜厚及び抵抗率のエピタキシャル層が得られる状態となったら、シリコン結晶から採取されたP⁻のシリコン基板を炉内に導入し、シリコン基板表面側に第1エピタキシャル層を成長させる（ステップ22）。ここでは通常のエピタキシャル層の気相成長が行われる。第1エピタキシャル層の成長が終了したら、ウェーハをロードロック室に退避させた後、“High Etch”と呼ばれる炉内のクリーニングプロセスを行う（ステップ23）。

“High Etch”は以下に述べる理由により行われる。第1エピタキシャル層の成長の際には、炉内に高濃度のドーパントガスを供給する。第1エピタキシャル層の成長後、第2エピタキシャル層の成長のために、炉内に低濃度のドーパントガスを供給するのであるが、炉内に高濃度のドーパントやその副生成物が残留していると、第2エピタキシャル層が残留する高濃度のドーパント副生成

物から放出されるドーパントの影響を受けるため、所望の不純物濃度及び抵抗率を得られなくなる。そこで炉内に残留する高濃度のドーパントやその副生成物を除去するために、“High Etch”を行うのである。具体的な方法は、HCLを15 (slm) の条件で約3分間炉内に導入する。1回の“High Etch”で炉内にドーパントガスが除去されない場合は複数回の“High Etch”を繰り返し行うようにする。

“High Etch”が終了すると、再び炉内にモニターウェーハを導入し、表1に示す条件にて第2エピタキシャル層の膜厚及び抵抗率の条件出しを行う(ステップ24)。この際、残留する高濃度のドーパントの影響により、エピタキシャル層の抵抗率が上昇しない場合がある。その場合はダミー運転を行った後に再び炉内にモニターウェーハを導入し、第2エピタキシャル層の膜厚及び抵抗率の条件出しを行う(ステップ25)。表1に示す膜厚及び抵抗率のエピタキシャル層が得られる状態となったら、退避させたシリコンウェーハを炉内に導入し、先に成長させた第1エピタキシャル層上に第2エピタキシャル層を成長させる(ステップ26)。ここでは通常のエピタキシャル層の気相成長が行われる。

なお表1に示すように、本実施形態ではボロンを含有するドーパガスとしてB₂H₆ (ジボラン) を使用しているが、BCl₃ (三塩化ボロン) を使用してもよい。

次にゲッタリングサイトとして使用するエピタキシャル層の抵抗率 (又は不純物濃度) と膜厚とゲッタリング能力について説明する。

表2の水準1～11に示すように、本発明に係るエピタキシャルウェーハを製作し、各ウェーハをFeイオン溶液に浸漬してウェーハの表面・裏面をFeで故意に汚染した。Feの汚染量は 2×10^{13} (atoms/cm²) であり、ICS-MS法で確認した。なお水準12～14に示すエピタキシャルウェーハも合わせて製作し、同じような処理を施した。水準12～14のエピタキシャルウェーハは本発明以前に用いられていたエピタキシャルウェーハである。

【表 2】

水準	シリコン基板 (□内は抵抗率 を示す)	第1エピタキシャル層		第2エピタキシャル層	
		抵抗率 ($\Omega \cdot \text{cm}$)	膜厚 (μm)	抵抗率 ($\Omega \cdot \text{cm}$)	膜厚 (μm)
1	$\text{P}^- [10(\Omega \cdot \text{cm})]$	100/1000	1	10	5
2	$\text{P}^- [10(\Omega \cdot \text{cm})]$	100/1000	5	10	5
3	$\text{P}^- [10(\Omega \cdot \text{cm})]$	100/1000	30	10	5
4	$\text{P}^- [10(\Omega \cdot \text{cm})]$	50/1000	1	10	5
5	$\text{P}^- [10(\Omega \cdot \text{cm})]$	50/1000	5	10	5
6	$\text{P}^- [10(\Omega \cdot \text{cm})]$	50/1000	30	10	5
7	$\text{P}^- [10(\Omega \cdot \text{cm})]$	15/1000	1	10	5
8	$\text{P}^- [10(\Omega \cdot \text{cm})]$	15/1000	2	10	5
9	$\text{P}^- [10(\Omega \cdot \text{cm})]$	15/1000	5	10	5
10	$\text{P}^- [10(\Omega \cdot \text{cm})]$	15/1000	10	10	5
11	$\text{P}^- [10(\Omega \cdot \text{cm})]$	15/1000	30	10	5
12	$\text{P}^+ [15/1000(\Omega \cdot \text{cm})]$	—	—	10	5
13	$\text{P}^- [10(\Omega \cdot \text{cm})]$	—	—	10	5
14	$\text{P}^- [10(\Omega \cdot \text{cm})]$	—	—	—	—

つづいて各汚染ウェーハ（水準1～14）に素子製造プロセスと同一の熱プロセスを施し、表面のエピタキシャル層中に残留するFeの濃度を測定した。その測定結果を図3に示す。なお測定方法としてはDLTS法を用いている。この図3を参照し各ウェーハのゲッタリング能力について検討する。

図3で示すように、本発明に係るエピタキシャルウェーハ（水準1～11）の表面に残留するFe濃度は、従来のエピタキシャルウェーハ又はアニールウェーハ（水準12～14）の表面に残留するFe濃度と比較して、同等又はそれ以下である。表面に残留するFe濃度が低いということは、多くのFeがゲッタリン

グサイトに取り込まれているということである。これはゲッタリング能力があるということの意味する。

ここで注目する点は、水準1～3、水準4～6、水準7～11のエピタキシャルウェーハ共に膜厚が厚いほどFe濃度が低くなる結果となっているものの、膜厚が1 (μ m) 程度の薄さであっても従来水準13、14のエピタキシャルウェーハ以上のゲッタリング能力を有するということである。つまり本発明によれば、膜厚が1 (μ m) 程度の第1エピタキシャル層すなわちゲッタリングサイトであっても、十分なゲッタリング効果を期待できる。更に従来のエピタキシャルウェーハの問題点（オートドーピングや金属汚染や平坦度）も解消できる。

次にシリコン基板とエピタキシャル層との界面で発生するミスフィット転位について述べる。

ボロン原子はシリコン原子よりも小さいため、ボロン濃度が大きく異なる二つのシリコン層の界面には、結晶の格子定数が異なることに起因してミスフィット転位が発生する。このミスフィット転位には、ミスフィット転位自身がゲッタリング能力を備える、という有益な効果がある反面、ミスフィット転位周囲の歪みがウェーハ表面に反映され微小な凹凸がウェーハ表面に生じる、という問題もある。素子製造プロセスに対するミスフィットのメリット、デメリットについては、その素子の種類、デザインルール、設計思想等により変わるものである。

本発明以前に一般的に用いられていたP/P⁺エピタキシャルウェーハにおいて、抵抗率が4/1000 ($\Omega \cdot \text{cm}$) 以下のボロンドープ結晶をシリコン基板として用いると、シリコン基板とエピタキシャル層との界面にはミスフィット転位が確実に発生する。

表3は、本発明において、第1エピタキシャル層の抵抗率（又は濃度）が同じであり、その膜厚が異なる2つの試料のミスフィット転位の有無を示している。

【表 3】

		試料1	試料2
第1エピタキシャル層	抵抗率	3/1000($\Omega \cdot \text{cm}$)	3/1000($\Omega \cdot \text{cm}$)
	膜厚	1(μm)	3(μm)
第2エピタキシャル層	抵抗率	10($\Omega \cdot \text{cm}$)	10($\Omega \cdot \text{cm}$)
	膜厚	5(μm)	5(μm)
ミスフィットの発生	エピ成長後	無	有
	デバイス熱シミュレーション後	無	有(エピ成長直後より増加)

表3に示すように、本発明によれば、ある抵抗率の第1エピタキシャル層にミスフィット転位が発生したとしても、抵抗率を維持する一方で膜厚を変えればミスフィット転位の発生を制御することができる。

なお本発明のエピタキシャルウェーハによれば、次のような効果も期待できる。
本発明及び従来のエピタキシャルウェーハの特性比較を表4に示す。

【表 4】

	P/P ⁺	P/P ⁻	本発明
耐ラッチアップ性	○	×	○
高周波数適応性	×	○	○

P⁺のシリコン基板に一層のエピタキシャル層を積層した従来の構造のエピタキシャルウェーハ(P/P⁺という)は、耐ラッチアップ性に関して優れた特性を有するが、高周波数適応性に関して優れた特性を有するとは云えない。逆にP⁻のシリコン基板に一層のエピタキシャル層を積層した従来の構造のエピタキシャルウェーハ(P/P⁻という)は、高周波数適応性に関して優れた特性を有するが、耐ラッチアップ性に関して優れた特性を有するとは云えない。

一方、本発明のエピタキシャルウェーハは、高周波数適応性、耐ラッチアップ性に関してある程度優れた特性を有している。

本発明のエピタキシャルウェーハが高周波数適応性に関して優れた特性を有する理由は次のように考えられる。

P/P⁺エピタキシャルウェーハのエピタキシャル層に形成される素子中の高周波回路に高周波電流が流れると抵抗率の低いP⁺基板に誘導電流が流れる。この誘導電流はP⁺基板を伝わり別の回路に影響を与え高周波ノイズとなる。P/P⁺エピタキシャルウェーハは基板全体がP⁺であるため誘導電流が大きくなる。一方、本発明のP⁺層は薄いため誘導電流の発生が少なく、また伝わり難い。よって本発明によれば、高周波ノイズを低減することができる。

また、本発明はP/P⁺/P⁻という構造のため、P⁺の第1エピタキシャル層が従来のP/P⁺のP⁺基板の役割を担うことになる。つまりラッチアップ耐性も備えることになる。

産業上の利用可能性

本発明はCPUやDRAM等のメモリーに使用される半導体エピタキシャルウェーハの製造分野に適用可能である。

請 求 の 範 囲

1. 半導体基板にエピタキシャル層を積層した半導体エピタキシャルウェーハにおいて、

前記半導体基板の表面側のみに複数層のエピタキシャル層を重層すると共に、
前記複数層のエピタキシャル層のうち前記半導体基板と接するエピタキシャル層の不純物濃度をゲッタリングサイトが形成される程度の高濃度にし、

前記半導体基板の不純物濃度を裏面側からの不純物の放出が抑制される程度の低濃度にしたこと

を特徴とする半導体エピタキシャルウェーハ。

2. 半導体基板にエピタキシャル層を積層した半導体エピタキシャルウェーハにおいて、

前記半導体基板の表面側のみに複数層のエピタキシャル層を重層すると共に、
前記複数層のエピタキシャル層のうち前記半導体基板と接するエピタキシャル層の不純物濃度を $2.77 \times 10^{17} \sim 5.49 \times 10^{19}$ (atoms/cm³) にし、

前記半導体基板の不純物濃度を $1.33 \times 10^{14} \sim 1.46 \times 10^{18}$ (atoms/cm³) にしたこと

を特徴とする半導体エピタキシャルウェーハ。

3. 半導体基板にエピタキシャル層を積層した半導体エピタキシャルウェーハにおいて、

前記半導体基板の表面側のみに複数層のエピタキシャル層を重層すると共に、
前記複数層のエピタキシャル層のうち前記半導体基板と接するエピタキシャル層の抵抗率を $0.002 \sim 0.1$ ($\Omega \cdot \text{cm}$) とし、

前記半導体基板の抵抗率を $1 \sim 100$ ($\Omega \cdot \text{cm}$) としたこと

を特徴とする半導体エピタキシャルウェーハ。

4. 前記半導体基板と接するエピタキシャル層は、ボロンを含むことを特徴とする請求の範囲1乃至3記載の半導体エピタキシャルウェーハ。

FIG.1

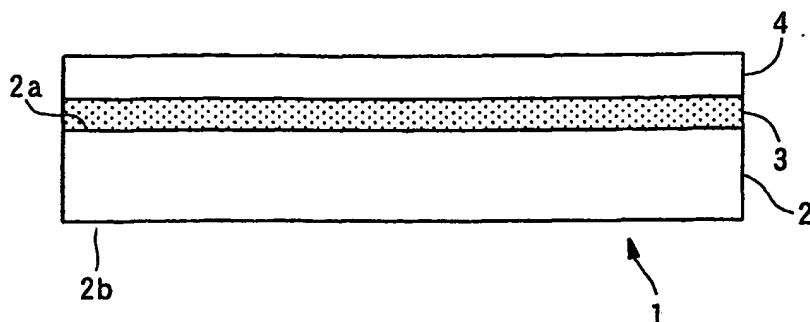


FIG.2

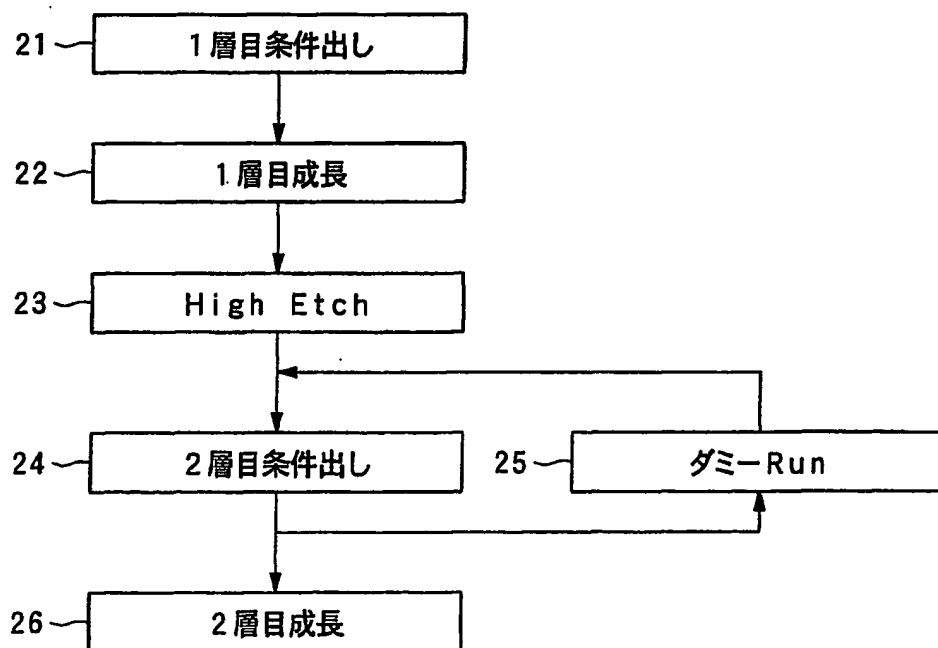
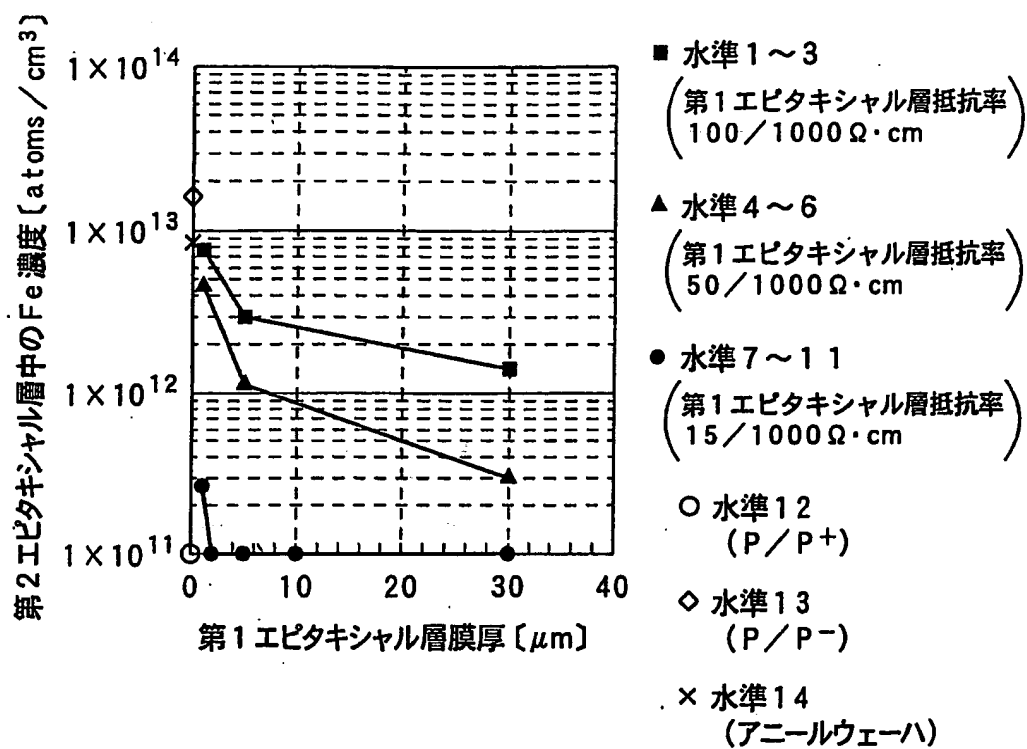


FIG.3



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/004167

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl.⁷ H01L21/322, H01L21/20

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl.⁷ H01L21/322, H01L21/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 7-37893 A (Toshiba Corp.); 07 February, 1995 (07.02.95), Full text; Figs. 1 to 12 (Family: none)	1, 4 2-3
Y	JP 3-159151 A (Sanyo Electric Co., Ltd.), 09 July, 1991 (09.07.91), Full text; Figs. 1 to 3 (Family: none)	2-3



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
25 May, 2004 (25.05.04)

Date of mailing of the international search report
15 June, 2004 (15.06.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L 21/322, H01L 21/20.

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L 21/322, H01L 21/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2004年
 日本国登録実用新案公報 1994-2004年
 日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	J P 7-37893 A (株式会社東芝) 1995. 02. 07, 全文, 第1-12図 (ファミリーなし)	1, 4 2-3
Y	J P 3-159151 A (三洋電機株式会社) 1991. 07. 09, 全文, 第1-3図 (ファミリーなし)	2-3

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日 25. 05. 2004

国際調査報告の発送日 15. 6. 2004

国際調査機関の名称及びあて先
 日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
 宮崎 園子

4M 3123

電話番号 03-3581-1101 内線 3462